

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11112099
 PUBLICATION DATE : 23-04-99

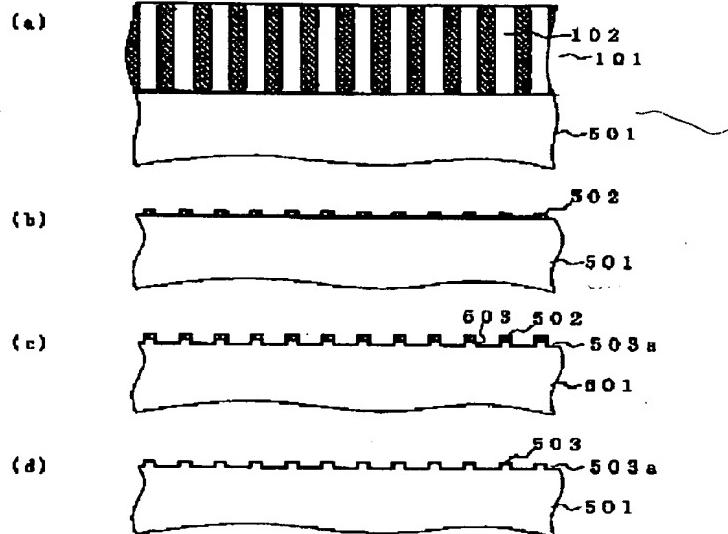
APPLICATION DATE : 30-09-97
 APPLICATION NUMBER : 09266212

APPLICANT : NIPPON TELEGR & TELEPH CORP
 <NTT>;

INVENTOR : MASUDA HIDEKI;

INT.CL. : H01S 3/18 H01L 29/06

TITLE : MANUFACTURE OF
 SEMICONDUCTOR OPTICAL ELEMENT



ABSTRACT : PROBLEM TO BE SOLVED: To easily manufacture a semiconductor optical element comprising an active layer of quantum dot configuration, which manifests intrinsic characteristics.

SOLUTION: A through hole membrane 101 is provided on a substrate 501 comprising n-type GaAs as a main front surface (001), Pt is vapor-deposited with the through hole membrane 101 as a mask, and a mask pattern 502 of Pt is formed on the substrate 501. Then, the substrate 501 is etched with the mask pattern 502 as a mask, and a strain introducing layer 503a comprising a dot 503 is formed on the front surface of the substrate 501.

COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-112099

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.⁶

H 01 S 3/18
H 01 L 29/06

識別記号

F I

H 01 S 3/18
H 01 L 29/06

(21)出願番号

特願平9-266212

(22)出願日

平成9年(1997)9月30日

審査請求 未請求 請求項の数11 O.L (全16頁)

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 中尾 正史

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 玉村 敏昭

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 奥 哲

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74)代理人 弁理士 山川 政樹

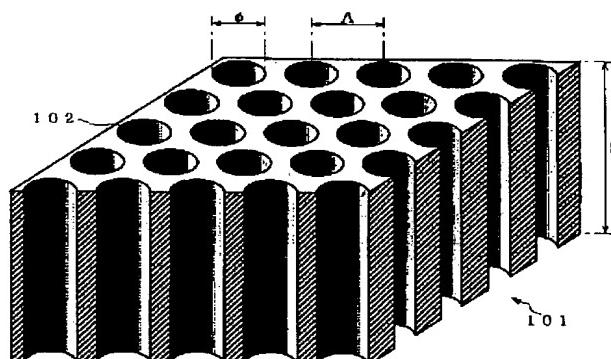
最終頁に続く

(54)【発明の名称】 半導体光素子の作製方法

(57)【要約】

【課題】 本来の特性を発揮できる量子ドット構成の活性層を有する半導体光素子を容易に作製できるようにする。

【解決手段】 スルーホールメンブレン101を主表面が(001)のn形GaAsからなる基板501上に配置し、そのスルーホールメンブレン101をマスクとしてPtを蒸着し、基板501上にPtからなるマスクパターン502を形成する。そして、マスクパターン502をマスクとして基板501をエッチングし、このことにより基板501表面にドット503からなるひずみ導入層503aを形成する。



【特許請求の範囲】

【請求項1】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板上にマスク材料を堆積することにより、前記マスク材料からなるドットパターンを前記貫通孔の配置に合わせて前記基板上に形成する第1の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第2の工程と、

前記ドットパターンをマスクとして前記基板をエッチングして前記基板表面に突起を形成することにより前記基板表面に歪み導入層を形成する第3の工程と、

前記ドットパターンを除去する第4の工程と、

前記基板に格子整合する第1の半導体を前記突起がほぼ埋め込まれるように結晶成長し、これにより前記歪み導入層上に前記第1の半導体からなる第1の障壁層を形成する第5の工程と、

前記第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、前記第2の半導体からなる量子ドットを前記歪み導入層の突起の位置に合わせて前記第1の障壁層上に形成する第6の工程と、

前記量子ドットを含む前記第1の障壁層上に前記第1の半導体を結晶成長することにより、前記量子ドットがほぼ埋め込まれるように前記第1の半導体からなる第2の障壁層を形成する第7の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項2】 半導体からなる基板上に前記基板と格子定数の異なる歪み膜を形成する第1の工程と、複数の貫通孔を有するスルーホールメンブレンを前記歪み膜上に配置し、前記スルーホールメンブレンをマスクとして前記歪み膜上にマスク材料を堆積することにより、前記マスク材料からなるドットパターンを前記貫通孔の配置に合わせて前記歪み膜上に形成する第2の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第3の工程と、

前記ドットパターンをマスクとして前記歪み膜をエッチングして前記基板表面に突起を形成することにより前記基板上に歪み導入層を形成する第4の工程と、前記ドットパターンを除去する第5の工程と、

前記基板に格子整合する第1の半導体を前記突起がほぼ埋め込まれるように結晶成長し、これにより前記歪み導入層上に前記第1の半導体からなる第1の障壁層を形成する第6の工程と、

前記第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、前記第2の半導体からなる量子ドットを前記歪み導入層の突起の位置に合わせて前記第1の障壁層上に形成する第7の工程と、

前記量子ドットを含む前記第1の障壁層上に前記第1の半導体を結晶成長することにより、前記量子ドットがほぼ埋め込まれるように前記第1の半導体からなる第2の障壁層を形成する第8の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項3】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板上に前記基板と異なる格子定数を有する第1の半導体を堆積することにより、前記第1の半導体からなるドットパターンを前記貫通孔の配置に合わせて前記基板上に形成する第1の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第2の工程と、

前記基板に格子整合する第2の半導体を前記ドットパターンがほぼ埋め込まれるように結晶成長し、これにより前記第2の半導体からなる第1の障壁層を前記歪み導入層上に形成する第3の工程と、

前記第2の半導体とは格子定数が異なる第3の半導体を連続した膜状に形成されない程度に結晶成長させることにより、前記第3の半導体からなる量子ドットを前記歪み導入層の突起の位置に合わせて前記第2の障壁層上に形成する第4の工程と、

前記量子ドットを含む前記第1の障壁層上に前記第2の半導体を結晶成長することにより、前記量子ドットがほぼ埋め込まれるように前記第2の半導体からなる第2の障壁層を形成する第5の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項4】 上下を障壁層に挟まれた量子井戸層からなる活性層を半導体からなる基板上に形成する第1の工程と複数の貫通孔を有するスルーホールメンブレンを前記活性層上に配置し、前記スルーホールメンブレンをマスクとして前記基板上にマスク材料を堆積することにより、前記マスク材料からなるドットパターンを前記貫通孔の配置に合わせて前記基板上に形成する第2の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第3の工程と、

前記ドットパターンをマスクとして前記活性層を選択的にエッチングして前記活性層からなるポストを形成する第4の工程と、

前記ポスト周囲の前記基板上に高抵抗な半導体からなる埋め込み層を形成する第5の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項5】 請求項4記載の半導体光素子の作製方法において、

前記第5の工程の前に前記ドットパターンを除去することを特徴とする半導体光素子の作製方法。

【請求項6】 請求項4、5記載の半導体光素子の作製方法において、

前記第1の工程で、前記量子井戸層とこの上に配置される障壁層との組を複数形成することにより前記活性層を形成することを特徴とする半導体光素子の作製方法。

【請求項7】 請求項1～6いずれか1項記載の半導体光素子の作製方法において、

前記第2の工程の前に、前記活性層上に光ガイド層を形成しておくことを特徴とする半導体光素子の作製方法。

【請求項8】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板表面を選択的にエッチングすることにより、前記貫通孔の配置に合わせて前記基板表面に凹部を形成する第1の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第2の工程と、

前記凹部を埋め込むように半導体層を結晶成長することにより前記凹部それぞれに量子ドットを形成する第3の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項9】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板表面を選択的にエッチングすることにより、前記基板表面に前記貫通孔の配置に合わせて凹部を形成する第1の工程と、

前記スルーホールメンブレンをマスクとして前記凹部を埋め込むように半導体層を結晶成長することにより、前記凹部それぞれに量子ドットを形成する第2の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第3の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項10】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板表面を選択的にエッチングすることにより、前記貫通孔の配置に合わせて前記基板表面に凹部を形成する第1の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第2の工程と、

前記凹部を埋め込むように、障壁層となる第1の半導体層と量子井戸層となる第2の半導体層を交互に結晶成長することにより、前記凹部内それぞれに多重量子ドット構造を形成する第3の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【請求項11】 複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板表面を選択的にエッチングすることにより、前記貫通孔の配置に合わせて前記基板表面に凹部を形成する第1の工程と、

前記スルーホールメンブレンをマスクとして前記凹部を埋め込むように、障壁層となる第1の半導体層と量子井戸層となる第2の半導体層を交互に結晶成長することにより、前記凹部内それぞれに多重量子ドット構造を形成

する第2の工程と、

前記スルーホールメンブレンを前記基板上部より取り外す第3の工程とを少なくとも備えたことを特徴とする半導体光素子の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、量子井戸構造を有する活性層を備えた半導体光素子の作製方法に関する。

【0002】

【従来の技術】光素子は、その機能部、たとえば、半導体レーザや光変調器の活性層部分をバルク構造から多重量子井戸構造(MQW)にすることにより、発振しきい値の低下をはじめとする素子特性の向上が図れる。さらには、MQW構造の中で、井戸層と障壁層との格子定数を0.5～1%程度に意図的にずらすことにより、MQW内に応力を内在させたひずみMQW構造の採用により、さらに高効率を得ることができる。そして、量子細線構造や量子ドット構造など、より低次元化することにより、活性層のさらなる特性の向上が期待されている。

【0003】その量子ドット構造は、キャリア閉じ込め効果や状態密度の増大などの量子効果に基づく更なる特性の向上が期待されるものであり、これら低次元構造の作製技術を確立をするための研究が活発に行われている。上述した量子ドット構造の形成に関しては、自己組織化成長やマスキングを利用した選択成長などの結晶成長からアプローチする方法や、量子井戸構造を持つ結晶をエッチング技術により微細加工して低次元化する方法が試みられている。

【0004】

【発明が解決しようとする課題】しかしながら、平面的に量子井戸層が形成されたMQW構造を有する光素子を凌駕する技術は、開発されていないのが現状である。前述した技術により形成された量子ドットによる光素子が、本来の特性が得られていない主な原因として、形成された量子ドットのサイズの揺らぎや配列の不規則性がある。この発明は、以上のような問題点を解消するためになされたものであり、本来の特性を発揮できる量子ドット構成の活性層を有する半導体光素子を容易に作製できるようにすることを目的とする。

【0005】

【課題を解決するための手段】この発明の半導体光素子の作製方法は、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板上にマスク材料を堆積することにより、マスク材料からなるドットパターンを貫通孔の配置に合わせて基板上に形成する第1の工程と、スルーホールメンブレンを基板上部より取り外す第2の工程と、ドットパターンをマスクとして基板をエッキン

グして基板表面に突起を形成することにより基板表面に歪み導入層を形成する第3の工程と、ドットパターンを除去する第4の工程と、基板に格子整合する第1の半導体を突起がほぼ埋め込まれるように結晶成長し、これにより歪み導入層上に第1の半導体からなる第1の障壁層を形成する第5の工程と、第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第2の半導体からなる量子ドットを歪み導入層の突起の位置に合わせて第1の障壁層上に形成する第6の工程と、量子ドットを含む第1の障壁層上に第1の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第1の半導体からなる第2の障壁層を形成する第7の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、スルーホールメンブレンの貫通孔の位置に合わせるように量子ドットが形成されるようになる。また、この発明の半導体光素子の作製方法は、半導体からなる基板上に基板と格子定数の異なる歪み膜を形成する第1の工程と、複数の貫通孔を有するスルーホールメンブレンを歪み膜上に配置し、スルーホールメンブレンをマスクとして歪み膜上にマスク材料を堆積することにより、マスク材料からなるドットパターンを貫通孔の配置に合わせて歪み膜上に形成する第2の工程と、スルーホールメンブレンを基板上部より取り外す第3の工程と、ドットパターンをマスクとして歪み膜をエッチングして基板表面に突起を形成することにより基板上に歪み導入層を形成する第4の工程と、ドットパターンを除去する第5の工程と、基板に格子整合する第1の半導体を突起がほぼ埋め込まれるように結晶成長し、これにより歪み導入層上に第1の半導体からなる第1の障壁層を形成する第6の工程と、第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第1の障壁層上に歪み導入層の突起の位置に合わせて第2の半導体からなる量子ドットを形成する第7の工程と、量子ドットを含む第1の障壁層上に第1の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第1の半導体からなる第2の障壁層を形成する第8の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、スルーホールメンブレンの貫通孔の位置に合わせるように量子ドットが形成されるようになる。また、この発明の半導体光素子の作製方法は、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板上に基板と異なる格子定数を有する第1の半導体を堆積することにより、基板上に第1の半導体からなるドットパターンを貫通孔の配置に合わせて形成する第1の工程と、スルーホールメンブレンを基板上部より取り外す第2の工程と、基板に格子整合する第2の半導体をドットパターンがほぼ埋め込まれるように結晶成

長し、これにより歪み導入層上に第2の半導体からなる第1の障壁層を形成する第3の工程と、第2の半導体とは格子定数が異なる第3の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第2の障壁層上に歪み導入層の突起の位置に合わせて第3の半導体からなる量子ドットを形成する第4の工程と、量子ドットを含む第1の障壁層上に第2の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第2の半導体からなる第2の障壁層を形成する第5の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、スルーホールメンブレンの貫通孔の位置に合わせるように量子ドットが形成されるようになる。

【0006】また、この発明の半導体光素子の作製方法は、半導体からなる基板上に上下を障壁層に挟まれた量子井戸層からなる活性層を形成する第1の工程と複数の貫通孔を有するスルーホールメンブレンを活性層上に配置し、スルーホールメンブレンをマスクとして基板上にマスク材料を堆積することにより、基板上にマスク材料からなるドットパターンを貫通孔の配置に合わせて形成する第2の工程と、スルーホールメンブレンを基板上部より取り外す第3の工程と、ドットパターンをマスクとして活性層を選択的にエッチングして活性層からなるポストを形成する第4の工程と、ポスト周囲の基板上に高抵抗な半導体からなる埋め込み層を形成する第5の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、ポストの形成により分離された量子井戸層から量子ドットが形成され、それがスルーホールメンブレンの貫通孔の位置に合わせるように形成される。また、この発明の半導体光素子の作製方法は、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板表面を選択的にエッチングすることにより、基板表面にスルーホールメンブレンの貫通孔の配置に合わせて凹部を形成する第1の工程と、スルーホールメンブレンを基板上部より取り外す第2の工程と、凹部を埋め込むように半導体層を結晶成長することにより凹部それぞれに量子ドットもしくは多重量子ドット構造を形成する第3の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、凹部内により分離された量子ドットや多重量子ドット構造が形成され、それがスルーホールメンブレンの貫通孔の位置に合わせるように形成される。そして、この発明の半導体光素子の作製方法は、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板表面を選択的にエッチングすることにより、基板表面に貫通孔の配置に合わせて凹部を形成する第1の工程と、スルーホールメンブレンをマスクとして凹部を埋め込むように半導体層を結晶成長することにより凹部そ

それぞれに量子ドットもしくは多重量子ドット構造を形成する第2の工程と、スルーホールメンブレンを基板上部より取り外す第3の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、凹部内により分離された量子ドットや多重量子ドット構造が形成され、それがスルーホールメンブレンの貫通孔の位置に合わせるように形成される。

【0007】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。

実施の形態1

まず、この発明の第1の実施の形態における半導体光素子の製造方法について説明する。はじめに概要について説明すると、所定の間隔で所望の寸法の細孔（貫通孔）が形成されたスルーホールメンブレンをマスクとして利用することにより、nmオーダーで、周期的に配列された微細な量子ドットを形成し、これを用いた半導体光素子を作製するようにした。

【0008】図1は、そのスルーホールメンブレン101を示す斜視図であり、直径 ϕ の細孔（貫通孔）102が間隔 Λ で規則正しく形成されている。また、細孔102は、平面的にみて近直の3個を頂点とすると、正三角形となるように配置されている。このスルーホールメンブレン101の作製方法を簡単に説明すると、まず、図2(a)に示すように、表面に所望の配列に突起201を有する基板200と、電解研磨などにより表面が鏡面に仕上げられたアルミニウムからなるアルミ基板203を用意する。ここで、突起201は間隔 Λ で規則正しく配置している。そして、図3(b)に示すように、基板200の突起201形成面をアルミ基板203に押しつけ、アルミ基板203表面の突起201に対応する部分に微細な溝204を形成する。すなわち、基板200の突起201のパターンを、アルミ基板203表面に転写する。この押しつけは、基板200の突起201形成面をアルミ基板203表面に押しつけ、油圧プレスなどを用いて両基板裏面より、例えば、1トン/cm²の圧力を印加することなどにより実施すればよい。

【0009】なお、基板200としては、その押しつけによるパターンの転写において、基板200自身や突起201が破壊されたり変形したりすることのない、強度と硬度を有する材料を用いることが望ましい。たとえば、シリコン基板などを用いれば、突起も用意に形成できるのでよい。また、この基板を繰り返し使用することを考えると、より強度の高いダイヤモンドやシリコンカーバイト(SiC)もしくはタンタルを基板として用いることがより望ましい。

【0010】次に、アルミ基板203を酸性電解質溶液中において陽極酸化することにより、アルミ基板203すなわちアルミニウムを酸化する。この陽極酸化により、図3(c)に示すように、アルミ基板203表面に

は、アルミナに変化した酸化層203aが形成される。このとき、溝204が形成されていないアルミ基板203表面が特に酸化され、その領域にアルミナが成長していく。この結果、図3(c)に示すように、形成された酸化層203aには、アルミ基板203表面に形成された溝204の位置に、穴204aが形成された状態となる。ここで、この陽極酸化においては、形成する細孔の穴径(ϕ)や配列寸法(Λ)に対応して、図4に示すように電圧条件を制御する。例えば、 $\phi=20\text{ nm}$, $\Lambda=50\text{ nm}$ 程度とするならば、電圧は20V程度とすればよい。そして、その電圧を変化させることにより、穴径を配列寸法に応じて変化させることができる。なお、穴径に関しては、磷酸などを用いた後処理により、配列寸法の90%程度まで大きくすることは可能である。

【0011】そして、上述した陽極酸化を適当な時間行うことにより、所望の厚さに酸化層203aを成長させるとともに、所望の深さに穴204aを成長させる。そしてその後、そのアルミ基板203の酸化層203a下のアルミニウムの部分を選択的にエッチング除去し、加えて、酸化層203aも若干エッチングすることにより、図1に示すようなスルーホールメンブレン101が完成する。ここで、アルミニウムに選択エッチングでは、エッチング液としてHgCl₂の飽和水溶液、もしくは、Br₂の飽和メタノール溶液を用いればよい。また、酸化層203aのエッチングでは、磷酸などを用いるようにすればよい。なお、スルーホールメンブレンの厚さ(h)は、陽極酸化の時間によって決定され、0.5μm程度の薄膜から数10μmに及ぶ厚膜まで形成できる。また、スルーホールメンブレンの大きさは、数mm角のオーダーまで形成可能である。

【0012】以上に示したようにして作製した、スルーホールメンブレン101(図1)を用いて、この実施の形態1における半導体光素子を作製する方法について以下に説明する。なお、以下では、 $\Lambda=50\text{ nm}$, $\phi=20\text{ nm}$, $h=2\mu\text{m}$ とした。まず、図5(a)に示すように、スルーホールメンブレン101を主表面が(001)のn形GaAsからなる基板501上に配置し、図5(b)に示すように、そのスルーホールメンブレン101をマスクとしてPtを蒸着することにより、基板501上にPtからなるマスクパターン502を形成する。ここで、マスクパターン502を形成した後、スルーホールメンブレン101は基板501上より取り外しておくる。なお、このマスクパターンの材料としては、Ptに限る物ではなく、Au, Ni, Al, Taなど、蒸着できる他の金属や、酸化シリコン、窒化シリコンなどを用いるようにしてもよい。すなわち、マスクパターンとして、下層の化合物半導体とのエッチングにおいて選択性がとれ、かつ、後の工程において支障のない材料ならよい。

【0013】次に、図5(c)に示すように、今度はマスクパターン502をマスクとして基板501をエッチングし、このことにより基板501表面にドット503からなるひずみ導入層503aを形成する。ここで、このエッチングは、酸などによるウエットエッチングを用いてもよく、また、アノイオンミリングや反応性イオンによるエッチングなどのドライエッチングを用いるようにしてもよい。次に、アラズマ酸化処理や適当な酸処理(ウエット)によりマスクパターン502を除去し、さらに酸処理などにより基板表面の自然酸化膜の除去などをを行い、基板表面を清浄化する。この結果、図5(d)に示すように、基板501表面には、高さ10nm程度のドット503aが50nm間隔で規則的に配列したひずみ導入層503aが形成された状態が得られる。

【0014】次に、図5(e)に示すように、分子ビームエピタキシーガス(MBE)により、基板温度500°C程度で、ひずみ導入層503aを含む基板501上にGaAsを結晶成長。ここに、ひずみ層の厚さは15~20nm程度とする。ここで、上層ドット503の突起高さ10nm程度程度までに厚さに、基板に格子整合する(同一材料)。すなはち、下部障壁層504)を結晶成長すると、ドット503の凹凸を解消する完全な平坦化がされた状態とはならない。このため、ドット503上に位置する下部障壁層504表面には、応力(ひずみ)が残存した状態となる。そして、この応力が残存した状態の下部障壁層504上に、同一の結晶成長装置内で、ソースガスを変更するなど条件を変更させ、引き続いてInAsをモノレーザー相当分成長させることにより、下層のドット503aの配置に合わせて下部障壁層504表面に量子ドット505aが形成される。

【0015】一般に、格子不整合な系の結晶成長においては、基板と格子定数の異なる結晶をエピタキシャル成長させようとする。その成長初期には成長させている結晶は3次元的な島状に凝集した状態となっている。すなわち、基板と格子定数の異なる結晶を、連続した膜状に形成されない構造にエピタキシャル成長させると、成長させている結晶は3次元的な島状に凝集した状態となっている。この島の形状や寸法は結晶成長条件によって決定されるが、基板表面にひずみが存在する場合は、そのひずみの位置に優先的に島が形成される。したがって、図5(e)に示した状態では、ひずみ導入層503aの存在により、下部障壁層504表面には50nm間隔で規則正しく配置されたひずみが存在することになる。そして、この上に基板501に対して7%程度の格子不整合を有するInAsを2モノレーザー程度結晶成長させれば、そのひずみの位置に合わせてInAsからなる量子ドット505aが形成されることになる。

【0016】そして、この量子ドット505aが50nm

間隔で規則正しく形成された量子井戸層505aの上に、その量子ドット505を埋め込むようにGaAsを結晶成長して中間障壁層504aを形成すれば、この中間障壁層504a表面にも、量子ドット505a形成位置に合わせてひずみが存在した状態となる。したがって、この上に、同一の結晶成長装置内で、同様にしてInAsを2モノレーザー程度結晶成長させれば、図5(f)に示すように、そのひずみの位置に合わせて中間障壁層504a上に量子ドット505aが形成されることになる。以上のことを所望の回数繰り返すことにより、図5(g)に示すように、多重量子ドット構造506が形成される。

【0017】ここで、図5(g)に示すように、多重量子ドット構造506上に保護層507を形成した後、結晶成長装置より取り出してフォトルミネッセンス法などにより多重量子ドット構造506の評価をすれば、そのドット構造に反映した非常にスペクトル幅の狭い発光が観測される。ついで、その評価の後で、保護層507を選択的に除去し、図6(h)に示すように、多重量子ドット構造506上にP形のGaAsからなるクラッド層508を形成し、さらに、オーミックコンタクト層509を形成すれば、この実施の形態1における半導体光素子の基本構造ができる。なお、上述の評価は必ず必要な工程ではなく、これを省略し、保護層507を形成せずに、多重量子ドット構造506上に、引き続いてクラッド層508、オーミックコンタクト層509を形成するようにしてもよい。

【0018】以上示したように、この実施の形態1によれば、スルーホールメンブレンの細孔位置に合わせて量子ドットを形成できるので、正確に配列された量子ドットからなる量子ドット構造を備えた半導体光素子を得ることができる。例えば、直径20nmの量子ドットを周期を100nmとして規則正しく配置させた層を6層積層した多重量子ドット構造を有し、1.55μmで発振する共振器町300μmの半導体レーザを容易に形成することが可能となる。そして、この半導体レーザは、発振しきい値を1mA以下とすることができる。

【0019】実施の形態2

以下、この発明の第2の実施の形態における半導体光素子の製造方法に関して説明する。この実施の形態2においても、上記実施の形態1と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態2における半導体光素子を作製する方法に関して説明する。まず、図7(a)に示すように、主表面が(001)のn型GaAsからなる基板701上にInAs層701aを膜厚10nm形成し、その上に、スルーホールメンブレン101を配置する。そして、図7(b)に示すように、そのスルーホールメンブレン101をマスクとしてPtを蒸着することにより、InAs層701a上にPtからなるマスクパターン702を形成す

る。

【0020】次に、図7(c)に示すように、今度はマスクパターン702をマスクとしてInAs層701aをエッチングし、このことにより基板701表面にInAsからなるドット703を形成する。ここで、このエッチングは、上記実施の形態1と同様であり、酸などによるウエットエッチングを用いてもよく、また、Arイオンミーリングや反応性イオンによるエッチングなどのドライエッチングを用いるようにしてもよい。次に、プラズマ酸化処理や適当な酸処理(ウエット)によりマスクパターン702を除去し、さらに酸処理などにより基板表面の自然酸化膜の除去などをを行い、それらのことにより基板表面を清浄化する。この結果、図7(d)に示すように、基板701表面には、高さ10nm程度のInAsからなるドット703が50nm間隔で規則的に配列して形成されたひずみ導入層703aが得られる。

【0021】次に、図8(e)に示すように、MBEにより基板温度500°C程度でひずみ導入層703aを含む基板701上にGaAsを結晶成長し、このことによりトト703を埋め込むように下部障壁層704を形成する。ここで、この成長膜の厚さは15~20nm程度とする。ところで、前述したように、InAsはGaAsに対して7%程度の格子不整合を有する。このため、下層703の突起高さ10nmの3倍程度までの厚さに、GaAs(下部障壁層704)を結晶成長すると、下部障壁層704表面の格子定数が異なるドット703上に位置する領域には、応力(ひずみ)が残存した状態となる。そして、この応力が残存した状態の下部障壁層704上に、同一の結晶成長装置内で、ソースカスを変更するなど条件を変更させ、引き続いてInAsをモノレーザー相当分成長させる。このことにより、上記実施の形態1と同様に、下層のドット703の配置に合わせて、下部障壁層704表面に量子ドット705が50nm間隔で規則正しく配列形成される。

【0022】そして、この量子ドット705からなる量子井戸層705aが、上に、その量子ドット705を埋め込むようにGaAsからなる中間障壁層704aを形成し、引き続いて同一の結晶成長装置内で、同様にしてInAsをモノレーザー程度結晶成長させることを繰り返せば、図8(f)に示すように、多重量子ドット構造706が形成される。ここで、図8(f)に示すように、多重量子ドット構造706上に保護層707を形成した後、結晶成長装置より取り出し、フォトルミネッセンス法などにより多重量子ドット構造706の評価をすれば、そのドット構造に反映した非常にスペクトル幅の狭い発光が観測される。

【0023】ついで、その評価の後で、保護層707を選択的に除去し、図8(g)に示すように、多重量子ドット構造706上にP型のGaAsからなるクラッド層708を形成し、さらに、オーミックコンタクト層709を形成すれば、この実施の形態1における半導体光素子の基本構造ができあがる。なお、上述の評価は必ず必要な工程ではなく、これを省略し、保護層707を形成せずに、多重量子ドット構造706上に、引き続いてクラッド層708、オーミックコンタクト層709を形成するようにしてもよい。以上示したように、この実施の形態2においても、スルーホールメンブレンの細孔位置に合わせて量子ドットを形成できるので、正確に配列された量子ドットからなる量子ドット構造を備えた半導体光素子を得ることができる。

【0024】ところで、上記実施の形態2では、量子ドットの形成位置を規則正しい配列とするためのひずみ導入層として、格子定数の異なる材料からなるドットをリソグラフィー技術と選択エッチングにより形成するようにしたが、これに限る物ではない。図1に示すスルーホールメンブレン101をマスクとして、GaAs基板表面に、例えばInAsを結晶成長することにより、GaAs基板表面に格子定数の異なるInAsのドットからなるひずみ導入層を形成するようにしてもよい。

【0025】このInAsの結晶成長では、例えば、MBEや有機金属気相エピタキシー法(MOVPE)などの結晶成長技術を用いればよい。そして、これらの結晶成長技術を用い、スルーホールメンブレン101の細孔102を通して、InおよびGa源となる原子、分子あるいは反応ガスを供給するようにすれば、InAsからなるドットが形成できる。なおこの結晶成長技術に関しては、上記実施の形態1、2におけるInAsの結晶成長においても同様である。

【0026】そして、このように、ひずみ導入層の形成をスルーホールメンブレン101を用いた結晶成長のみで行うようにすれば、次に示すように、以降の工程を同一の結晶成長装置より取り出すことなく連続的に行うことができるので、結晶性の向上が図れる。例えば、スルーホールメンブレンを用いてひずみ導入層を形成した後、まず、その結晶成長を行った反応室内より、その反応室に同一の真空雰囲気で接続している基板交換などのためのロードロック室に、基板およびスルーホールメンブレンを待機させる。ついで、そのロードロック室においてスルーホールメンブレンを基板表面より取り外す。そして、基板のみを反応室に戻し、ロードロック室と反応室とを隔離した後、反応室内で引き続いて下部障壁層の結晶成長などを行うようになる。

【0027】すなわち、上記実施の形態1、2においては、ひずみ導入層形成のために一度結晶成長装置内より取り出してリソグラフィーおよび選択エッチングを行っている。したがって、ひずみ導入層形成後で、ひずみ導入層を含めた基板表面が雰囲気に暴露されることになり、自然酸化膜の成長や汚染などを受け、結晶性の低下が避けられない。これに対して、前述したように、同一の結晶成長装置内で、ひずみ導入層の形成から多重量子

ドット構造の形成までを行うようにすれば、上述の汚染などを受けることが無く、結晶性の向上が図れる。なお、上述では、GaAsとInAsの組み合わせについて説明したが、これに限る物ではなく、InGaAsPとInPの組み合わせや、In_{0.5}Ga_{0.5}AsとGaAsとの組み合わせや、GaAsとSiGeとSiとの組み合わせでもよいことはいうまでもない。

【0028】実施の形態3

以下、この発明の第3の実施の形態における半導体光素子の製造方法に関して説明する。この実施の形態3においても、上記実施の形態1、2と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態3における半導体光素子を作製する方法について説明する。まず、図9(a)に示すように、n形InPからなる基板901上に、1.55μm組成のInGaAsP結晶を膜厚100nm成長することにより半導体層902を形成し、その上に、スルーホールメンブレン101を配置する。そして、図10(b)に示すように、そのスルーホールメンブレン101をマスクとしてPtを蒸着することにより、半導体層902上にPtからなるマスクパターン903を形成する。なお、このマスクパターンの材料としては、Ptに限る物ではなく、Au、Ni、Al、Taなど、蒸着できる他の金属や、酸化シリコン、窒化シリコンなどを用いるようにしてもよい。

【0029】次に、図10(c)に示すように、半導体層902および基板901の一部を、マスクパターン903をマスクとして垂直異方性の強いエッティングでエッティングし、このことによりポスト902aを形成する。このエッティングとしては、例えば、臭素系のガスを用いた反応性イオンビームエッティング装置を用いるようにすればよい。このドライエッティングは、垂直異方性を有し、ダメージが低く、かつ、均一な深さを形成できるという特徴を備えている。このポスト902aは、数10nm程度の直径をもち、高さ100nm程度の量子ポストとなる。なお、図10(d)は、マスクパターン903をマスクとしてポスト902aが基板901上に形成された状態を示す斜視図である。

【0030】次に、プラズマ酸化、あるいは適当な酸処理(ウェット処理)を施すことにより、マスクパターン903を除去した後、図10(e)に示すように、液相エピタキシャル成長装置を用い、ポスト902aがちょうど埋まるように、半絶縁性のP形のInP結晶を基板901上に成長し、このことにより埋め込み層904を形成する。さらに、図10(f)に示すように、有機金属気相成長法などにより、1.3μm組成のInGaAsPからなる光ガイド層905、P形のInPからなる上部クラッド層906、さらに、P形のInAsPからなるオーミックコンタクト層907を形成することにより、この実施の形態3における半導体光素子の基本構造

ができる。

【0031】そして、この実施の形態3においては、ポストが上下を障壁層で挟まれた量子井戸層から構成されているので、ポストごとに微細な量子井戸構造が形成されていることになる。すなわち、ポストごとに量子ドット構造が形成されていることになる。そして、ポストは、スルーホールメンブレンの細孔位置に合わせて形成されているので、量子ドット構造を構成するポストごとの量子ドットも、精度よく配置形成されていることになる。

【0032】実施の形態4

以下、この発明の第4の実施の形態における半導体光素子の製造方法に関して説明する。この実施の形態4においても、上記実施の形態1～3と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態4における半導体光素子を作製する方法について説明する。まず、図11(a)に示すように、n形InPからなる基板1101上に、多重量子井戸構造1102および光ガイド層1103を形成し、その上に、スルーホールメンブレン101を配置する。この量子井戸構造1102は、6層のInGaP/InGaAsPより構成され、1.55μmで発振する。また、光ガイド層1103は、1.3μm組成のInGaAsPから構成される。

【0033】そして、図11(b)に示すように、そのスルーホールメンブレン101をマスクとしてPtを蒸着することにより、光ガイド層1103上にPtからなるマスクパターン1104を形成する。なお、このマスクパターンの材料としては、Ptに限る物ではなく、Au、Ni、Al、Taなど、蒸着できる他の高融点金属や、酸化シリコン、窒化シリコンなどを用いるようにしてもよい。

【0034】次に、図11(c)に示すように、光ガイド層1103、多重量子井戸構造1102および基板1101の一部を、マスクパターン1104をマスクとして垂直異方性の強いエッティングでエッティングし、ポスト1105を形成する。次に、プラズマ酸化、あるいは適当な酸処理(ウェット処理)を施すことにより、マスクパターン1104を除去した後、図11(d)に示すように、液相エピタキシャル成長装置を用い、ポスト1105がちょうど埋まるように、半絶縁性のP形のInP結晶を基板1101上に成長し、それらのことにより埋め込み層1107を形成する。さらに、図11(e)に示すように、有機金属気相成長法などにより、P形のInPからなる上部クラッド層1108、さらに、P形のInAsPからなるオーミックコンタクト層1109を形成することにより、この実施の形態4における半導体光素子の基本構造ができる。この実施の形態4においては、円柱状に加工された多重量子井戸構造からなる多重量子ドット構造が形成された状態が得られる。

【0035】なお、上述では、光ガイド層1203を先に形成してからポスト1205を形成するようにしたが、ポストを形成して高抵抗層で埋め込んだ後に、光ガイド層1203を形成するようにしてもよい。なお、ポストの高さはマスクパターン1204をマスクとしたドライエッティングの時間で制御できる。ここで、高抵抗層の埋め込みの液相エピタキシャル成長は、ポストの上にまで高抵抗層が成長しないようにする必要がある。このためには、ポストの高さを0.5μm以下とする必要がある。以上説明したように、この実施の形態4においては、ポストごとに微細な多重量子井戸構造が形成されていることになる。すなわち、ポストごとに多重量子ドット構造が形成されていることになる。そして、ポストは、スルーホールメンブレンの細孔位置に合わせて形成されているので、多重量子ドット構造を構成するポストごとの量子ドットも、精度よく配置形成されていることになる。

【0036】実施の形態5

以下、この発明の第5の実施の形態における半導体光素子の製造方法について説明する。この実施の形態5においても、上記実施の形態1～4と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態5における半導体光素子を作製する方法について説明する。まず、図12(a)に示すように、n形InPからなる基板1201上に、多重量子井戸構造1202および光ガイド層1203を形成し、その上に、スルーホールメンブレン101を配置する。この量子井戸構造1202は、6層のInGaP/InGaAsPより構成され、1.55μmで発振する。また、光ガイド層1203は、1.3μm組成のInGaAsPから構成される。これらは、上記実施の形態4と同様である。

【0037】そして、この実施の形態5では、そのスルーホールメンブレン101をマスクとしてまず、シリコン酸化物などの酸化物を蒸着し、ついでPtを蒸着する。このことにより、図12(b)に示すように、光ガイド層1203上にシリコン酸化物からなる下層マスクパターン1204aとPtからなる上層マスクパターン1204bを形成する。次に、図12(c)に示すように、光ガイド層1203、多重量子井戸構造1202および基板1201の一部を、上層マスクパターン1204bをマスクとして垂直異方性の強いエッティングでエッティングし、このことによりポスト1205を形成する。

【0038】次に、プラズマ酸化、あるいは適当な酸処理(ウェット処理)を施すことにより、上層マスクパターン1204bのみを除去する。そしてその後、図12(d)に示すように、ポスト1205上に下層マスクパターン1204aが形成された状態で液相エピタキシャル成長装置を用い、ポスト1205および下層マスクパターン1204aの一部までが埋まるように、半絶縁性のP形のInP結晶を基板1201上に成長し、それら

のことにより埋め込み層1207を形成する。ここでは、下層マスクパターン1204aが選択成長マスクとなる。

【0039】ついで、その下層マスクパターン1204aを沸酸によるウェット処理により除去し、図12(e)に示すように、有機金属気相成長法などにより、P形のInPからなる上部クラッド層1208、さらに、P形のInAsPからなるオーミックコンタクト層1209を形成することにより、この実施の形態5における半導体光素子の基本構造ができあがる。そして、この実施の形態5においても、円柱状に加工された多重量子井戸構造からなる多重量子ドット構造が形成された状態が得られ、それを用いた半導体光素子を得ることができる。

【0040】また、この実施の形態5によれば、選択成長マスクをポスト上に配置した状態で埋め込み層を形成するようにしたので、ポストの高さ以上に埋め込み層を形成することが可能となる。すなわち、この実施の形態5によれば、ポストの高さにあまり制限を設ける必要がない。なお、上述では、パターン形成のためのマスクと選択成長マスクとをそれぞれ用意するようにしたが、これらを1つで兼用することもできる。例えば、マスクパターンの材料として酸化ニッケルを用いるようすれば、ポスト形成の選択エッティング時にもエッティング選択比を保ち、選択成長マスクとしても用いることができる。

【0041】実施の形態6

以下、この発明の第6の実施の形態における半導体光素子の製造方法について説明する。この実施の形態6においても、上記実施の形態1～5と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態6における半導体光素子を作製する方法について説明する。まず、図13(a)に示すように、n形InPからなる基板1301上に、スルーホールメンブレン101を配置する。

【0042】そして、この実施の形態6では、そのスルーホールメンブレン101をマスクとし、基板1301を選択的にエッティングし、図13(b)に示すように、基板1301表面に深さ100nm程度の微細なホール1302を形成する。このエッティングとしては、例えば、臭素系のガスを用いたECRプラズマエッティング装置を用いるようにすればよい。このドライエッティングは、垂直異方性を有し、ダメージが低く、かつ、均一な深さを形成できるという特徴を備えている。

【0043】次に、スルーホールメンブレン101を取り外し、基板1301表面を硫酸などの酸処理をした後、液相成長法を用いてホール1302がちょうど埋まるようにInGaAsPを結晶成長させる。なお、InGaAsPの代わりにInGaAs/InGaAsP多重量子井戸を結晶成長させるようにしてもよい。この結

果、図13(c)に示すように、基板1301上に量子ドット1303からなる量子ドット層1303aが形成される。ついで、図13(e)に示すように、有機金属気相成長法などにより、InGaAsPからなる光ガイド層1304、P形のInPからなる上部クラッド層1305、さらに、P形のInAsPからなるオーミックコンタクト層1306を形成することにより、この実施の形態6における半導体光素子の基本構造ができる。

【0044】そして、この実施の形態6においては、数10nmの直径をもち、ホール1302の深さの高さを有する量子ドットが規則正しく配列した量子ドット構造が実現できる。また、ホール1302に多重量子井戸構造を結晶成長させれば、数10nmの直径を有する量子ドットが規則正しく配列した多重量子ドット構造が実現でき、それを用いた半導体光素子を得ることができる。そして、それら量子ドットの高さは、ホール1302の深さにより任意に制御できる。

【0045】実施の形態7

以上、この発明の第7の実施の形態における半導体光素子の製造方法に関して説明する。この実施の形態7においても、上記実施の形態1～6と同様に、図1に示したスルーホールメンブレン101を用いる。以下、この実施の形態7における半導体光素子を作製する方法について説明する。まず、図14(a)に示すように、n形InPからなる基板1401上に、スルーホールメンブレン101を配置する。

【0046】次いで、上記実施の形態6と同様に、そのスルーホールメンブレン101をマスクとし、基板1401を選択的にエッチングし、図14(b)に示すように、基板1401表面に深さ100nm程度の微細なホール1402を形成する。次に、この実施の形態7では、図14(c)に示すように、スルーホールメンブレン101を配置したまま、これをマスクとして基板1401上に選択的にInGaAsPあるいはInGaAs+InGaAsP量子井戸を結晶成長させる。この結晶成⾧は、例えば、MOVPE法によればよい。この結果、図14(c)に示すように、基板1401上に量子ドット1403からなる量子ドット層1403aが形成される。

【0047】ついで、スルーホールメンブレン101を取り外し、図14(d)に示すように、MOVPEなどにより、InGaAsPからなる光ガイド層1404、P形のInPからなる上部クラッド層1405、さらに、P形のInAsPからなるオーミックコンタクト層1406を形成することにより、上記実施の形態6と同様にこの実施の形態7における半導体光素子の基本構造ができる。そして、この実施の形態7においても、数10nmの直径をもち、ホール1402の深さの高さを有する量子ドットが規則正しく配列した量子ドット構

造が実現できる。また、ホール1402に多重量子井戸構造を結晶成長させれば、数10nmの直径を有する多重量子ドットが規則正しく配列した多重量子ドット構造が実現できる。そして、それら量子ドットの高さは、ホール1402の深さにより任意に制御できる。

【0048】以上示したように、この発明によれば、規則正しく配列した量子ドットからなる量子ドット構造、および、それらを障壁層を介して多層に形成した多重量子ドット構造が容易に形成できる。そして、量子ドット構造もしくは多重量子ドット構造を活性層として、図15に示すような半導体レーザなどの半導体光素子を構成することができる。

【0049】すなわち、例えば、上記実施の形態1において示した基本構造(図6)において、まず、オーミックコンタクト層509にストライプ状のマスクパターンを形成し、これをマスクとして基板501の一部まで選択的にエッチングし、図15に示すように、リッジ1501を形成する。次に、そのリッジ1501両脇にリッジ1501を埋めるように半絶縁性GaAsを成長させて埋め込み層1502を形成する。そして、上面にP側電極1503を形成し下面にn側電極1504を形成すれば、半導体レーザが構成できる。この半導体レーザは、図15に示す、埋め込み層1502で埋め込まれた活性層となる多重量子ドット構造506よりレーザが発振される。

【0050】図16は、その半導体レーザにおける電流注入における発光特性を示す特性図である。図16において(a)は上記実施の形態1において得られた多重量子ドット構造を活性層とした場合の結果を示している。また、(b)は上記実施の形態4において得られた多重量子ドット構造を活性層とした場合の結果を示している。また、(c)は上記実施の形態3において得られた多重量子ドット構造を活性層とした場合の結果を示している。そして、(d)は従来よりある多重量子井戸構造を活性層とした場合の結果を示している。図16から明らかのように、この発明によれば、従来の多重量子井戸構造を活性層とした場合に比較して、発振しきい値が低下していることがわかる。なお、上述では、半導体レーザに適用した場合について説明したが、このほかにも、光変調器や光受光器などへも適用できることはいうまでもない。この場合においても、量子ドット構造および多重量子ドット構造の構造は同様である。

【0051】

【発明の効果】以上説明したように、この発明では、まず第1に、次に示す工程を備えることにより、半導体光素子を作製するようにした。すなわち、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板上にマスク材料を堆積することにより、基板上にマスク材料からなるドットパターンを貫通孔の配置に合わせて

形成する第1の工程と、スルーホールメンブレンを基板上部より取り外す第2の工程と、ドットパターンをマスクとして基板をエッチングして基板表面に突起を形成することにより基板表面に歪み導入層を形成する第3の工程と、ドットパターンを除去する第4の工程と、基板に格子整合する第1の半導体を突起がほぼ埋め込まれるように結晶成長し、このことにより歪み導入層上に第1の半導体からなる第1の障壁層を形成する第5の工程と、第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第1の障壁層上に歪み導入層の突起の位置に合わせて第2の半導体からなる量子ドットを形成する第6の工程と、量子ドットを含む第1の障壁層上に第1の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第1の半導体からなる第2の障壁層を形成する第7の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、スルーホールメンブレンの貫通孔の位置に合わせるように量子ドットが形成されるようになる。したがって、スルーホールメンブレンの貫通孔の開口径とその配置がnmオーダーで精度よく形成されれば、量子ドットを精度よく形成できるので、本来の特性を発揮できる量子ドット構成の活性層を有する半導体光素子を容易に作製できるようになる。

【0052】また、この発明では、第2に、次に示す工程を備えることにより、半導体光素子を作製するようにした。すなわち、半導体からなる基板上に基板と格子定数の異なる歪み膜を形成する第1の工程と、複数の貫通孔を有するスルーホールメンブレンを歪み膜上に配置し、スルーホールメンブレンをマスクとして歪み膜上にマスク材料を堆積することにより、歪み膜上にマスク材料からなるドットパターンを貫通孔の配置に合わせて形成する第2の工程と、スルーホールメンブレンを基板上部より取り外す第3の工程と、ドットパターンをマスクとして歪み膜をエッチングして基板表面に突起を形成することにより基板上に歪み導入層を形成する第4の工程と、ドットパターンを除去する第5の工程と、基板に格子整合する第1の半導体を突起がほぼ埋め込まれるように結晶成長し、このことにより歪み導入層上に第1の半導体からなる第1の障壁層を形成する第6の工程と、第1の半導体とは格子定数が異なる第2の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第1の障壁層上に歪み導入層の突起の位置に合わせて第2の半導体からなる量子ドットを形成する第7の工程と、量子ドットを含む第1の障壁層上に第1の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第1の半導体からなる第2の障壁層を形成する第8の工程とを少なくとも備えたるようにした。以上示すように半導体光素子を作製するようにしたので、スルーホールメンブレンの貫通孔の位置に合わせるように

量子ドットが形成されるようになる。したがって、前述した方法と同様に、スルーホールメンブレンの貫通孔の開口径とその配置がnmオーダーで精度よく形成されれば、量子ドットを精度よく形成できるので、本来の特性を発揮できる量子ドット構成の活性層を有する半導体光素子を容易に作製できるようになる。

【0053】また、この発明では、第3に、次に示す工程を備えることにより、半導体光素子を作製するようにした。すなわち、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、スルーホールメンブレンをマスクとして基板上に基板と異なる格子定数を有する第1の半導体を堆積することにより、基板上に第1の半導体からなるドットパターンを貫通孔の配置に合わせて形成する第1の工程と、スルーホールメンブレンを基板上部より取り外す第2の工程と、基板に格子整合する第2の半導体をドットパターンがほぼ埋め込まれるように結晶成長し、このことにより歪み導入層上に第2の半導体からなる第1の障壁層を形成する第3の工程と、第2の半導体とは格子定数が異なる第3の半導体を連続した膜状に形成されない程度に結晶成長させることにより、第2の障壁層上に歪み導入層の突起の位置に合わせて第3の半導体からなる量子ドットを形成する第4の工程と、量子ドットを含む第1の障壁層上に第2の半導体を結晶成長することにより、量子ドットがほぼ埋め込まれるように第2の半導体からなる第2の障壁層を形成する第5の工程とを少なくとも備えるようにした。以上示すように半導体光素子を作製するようにしたので、この方法においても、スルーホールメンブレンの貫通孔の位置に合わせるように量子ドットが形成されるようになる。そして、やはり、スルーホールメンブレンの貫通孔の開口径とその配置がnmオーダーで精度よく形成されれば、量子ドットを精度よく形成できるので、本来の特性を発揮できる量子ドット構成の活性層を有する半導体光素子を容易に作製できるようになる。

【0054】また、この発明では、第4に、次に示す工程を備えることにより、半導体光素子を作製するようにした。すなわち、半導体からなる基板上に上下を障壁層に挟まれた量子井戸層からなる活性層を形成する第1の工程と、複数の貫通孔を有するスルーホールメンブレンを活性層上に配置し、スルーホールメンブレンをマスクとして基板上にマスク材料を堆積することにより、基板上にマスク材料からなるドットパターンを貫通孔の配置に合わせて形成する第2の工程と、スルーホールメンブレンを基板上部より取り外す第3の工程と、ドットパターンをマスクとして活性層を選択的にエッチングして活性層からなるポストを形成する第4の工程と、ポスト周囲の基板上に高抵抗性半導体からなる埋め込み層を形成する第5の工程とを少なくとも備えるようにした。

【0055】以上示すように半導体光素子を作製するようにしたので、ポストの形成により分離された量子井戸

層から量子ドットが形成され、それがスルーホールメンブレンの貫通孔の位置に合わせるように形成される。そして、ポストごとに上下を障壁層に挟まれた量子井戸層が形成されることになるので、微少な量子井戸構造、すなわち、量子ドット構造がスルーホールメンブレンの貫通孔の位置に合わせるように形成されることになる。したがって、この方法においても、スルーホールメンブレンの貫通孔の開口径とその配置がnmオーダーで精度よく形成されていれば、量子ドットを精度よく形成できるので、本来の特性を発揮できる量子ドットや多重量子ドット構造の活性層を有する半導体光素子を容易に作製できるようになる。

【0056】 そして、この発明では、第5に、複数の貫通孔を有するスルーホールメンブレンを半導体からなる基板上に配置し、前記スルーホールメンブレンをマスクとして前記基板表面を選択的にエッチングすることにより、前記基板表面に前記貫通孔の配置に合わせて凹部を形成し、その凹部を埋め込むように埋めるように半導体層を結晶成長することにより凹部それぞれに量子ドットや多重量子ドット構造を形成するようにした。以上示すように半導体光素子を作製するようにしたので、凹部内により分離された量子ドットや多重量子ドット構造が形成され、それがスルーホールメンブレンの貫通孔の位置に合わせるように形成される。したがって、この方法においても、スルーホールメンブレンの貫通孔の開口径とその配置がnmオーダーで精度よく形成されていれば、量子ドットを精度よく形成できるので、本来の特性を発揮できる量子ドットや多重量子ドット構造の活性層を有する半導体光素子を容易に作製できるようになる。

【図面の簡単な説明】

【図1】 スルーホールメンブレンの構成を示す斜視図である。

【図2】 図1のスルーホールメンブレンの作製方法を示す説明図である。

【図3】 図2に続く、図1のスルーホールメンブレン

の作製方法を示す説明図である。

【図4】 スルーホールメンブレンの作製における陽極酸化における電圧条件を示す特性図である。

【図5】 この発明の第1の実施の形態における半導体光素子の作製方法を示す説明図である。

【図6】 図5に続く、この発明の第1の実施の形態における半導体光素子の作製方法を示す説明図である。

【図7】 この発明の第2の実施の形態における半導体光素子の作製方法を示す説明図である。

【図8】 図7に続く、この発明の第2の実施の形態における半導体光素子の作製方法を示す説明図である。

【図9】 この発明の第3の実施の形態における半導体光素子の作製方法を示す説明図である。

【図10】 図9に続く、この発明の第3の実施の形態における半導体光素子の作製方法を示す説明図である。

【図11】 この発明の第4の実施の形態における半導体光素子の作製方法を示す説明図である。

【図12】 この発明の第5の実施の形態における半導体光素子の作製方法を示す説明図である。

【図13】 この発明の第5の実施の形態における半導体光素子の作製方法を示す説明図である。

【図14】 この発明の第5の実施の形態における半導体光素子の作製方法を示す説明図である。

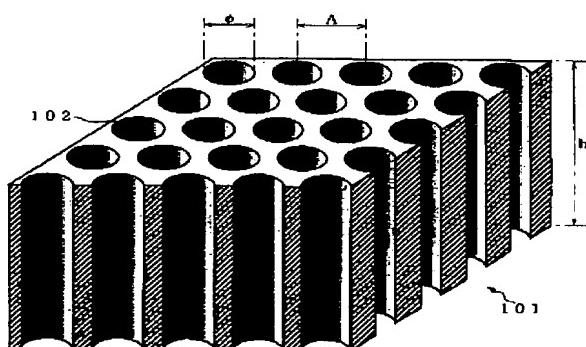
【図15】 この発明による半導体光素子の概略的な構成を示す斜視図である。

【図16】 この発明による半導体光素子の発振特性を示す特性図である。

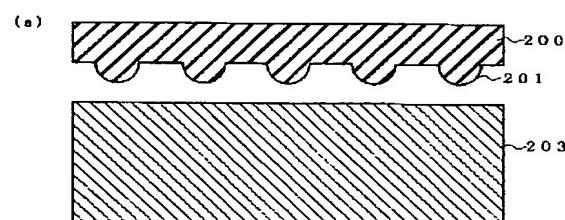
【符号の説明】

101…スルーホールメンブレン、102…細孔、501…基板、502…マスクパターン、503…ドット、503a…ひずみ導入層、504…下部障壁層、504a…中間障壁層、505…量子ドット、505a…量子井戸層、506…多重量子ドット構造、507…保護層、508…クラッド層、509…オーミックコンタクト層。

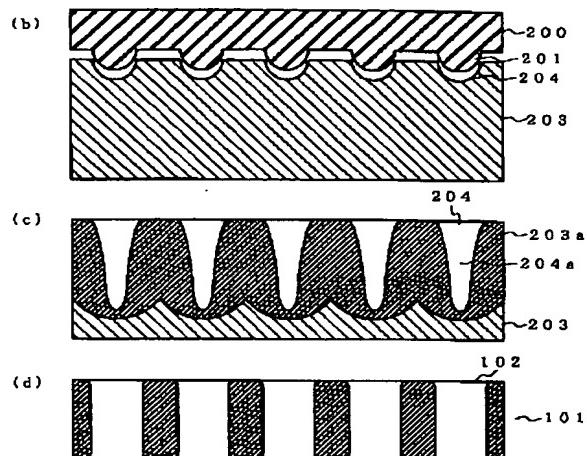
【図1】



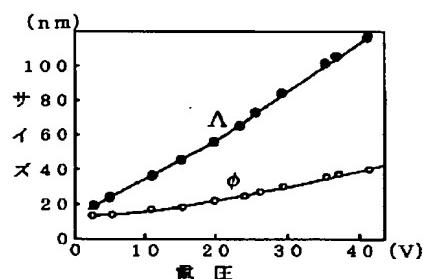
【図2】



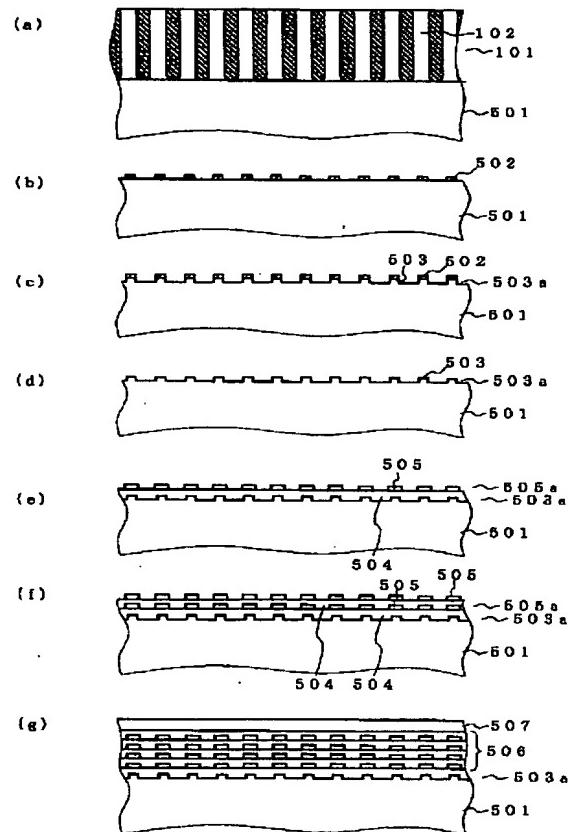
【図3】



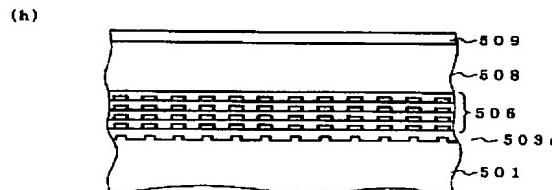
【図4】



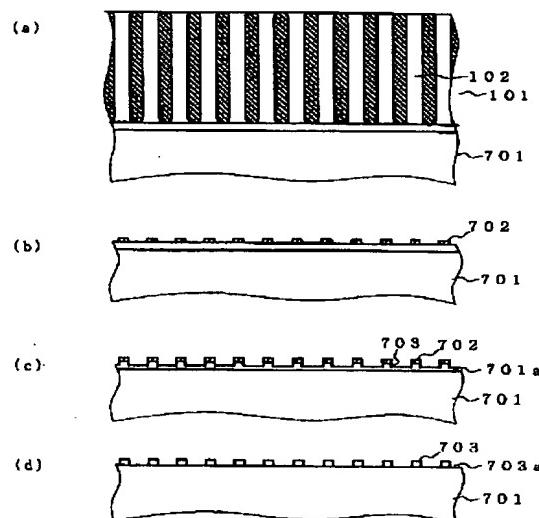
【図5】



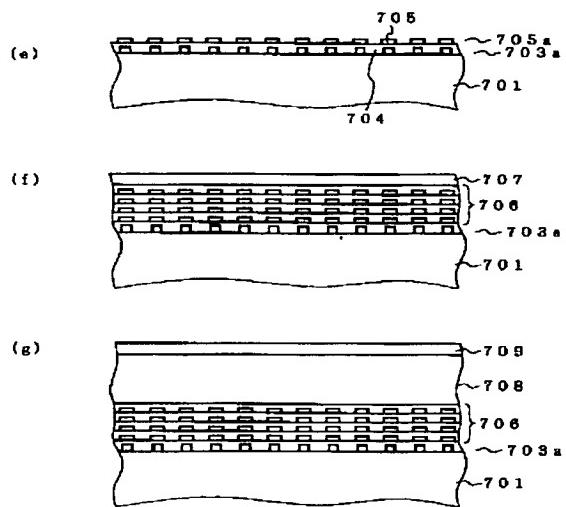
【図6】



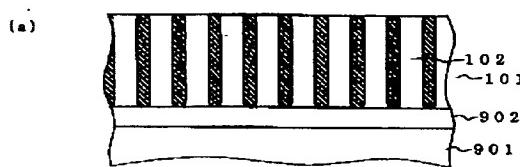
【図7】



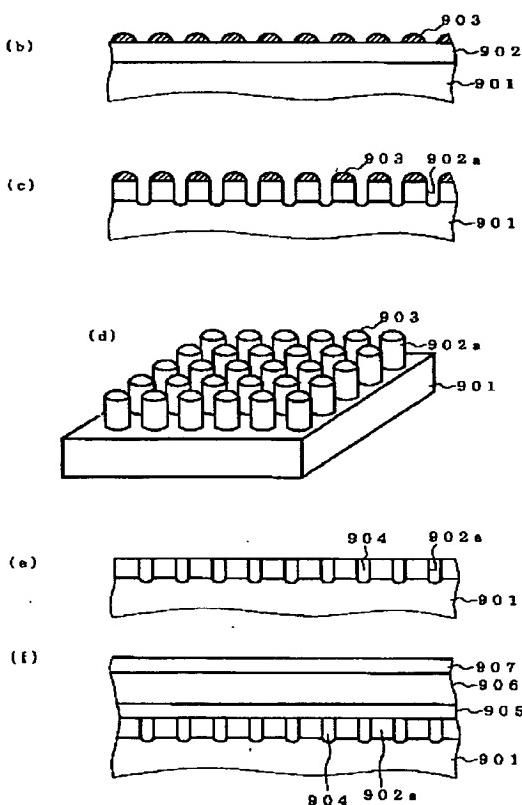
【図8】



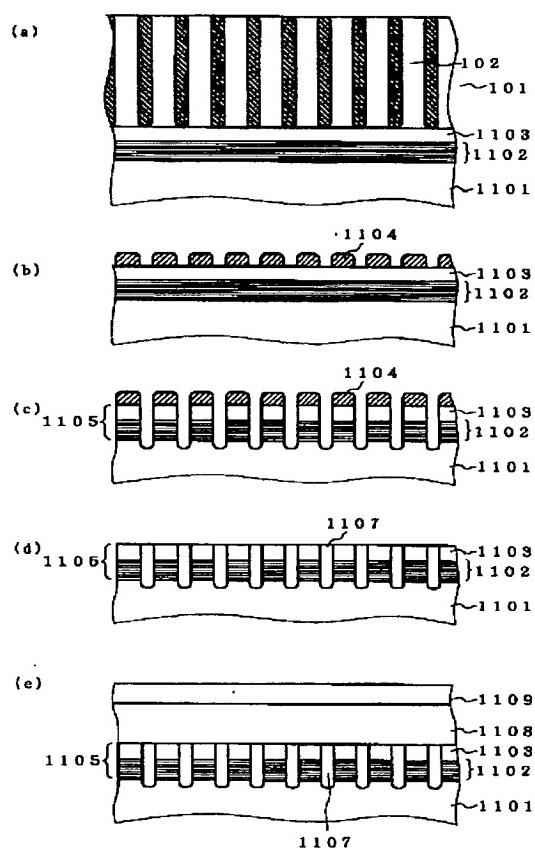
【図9】



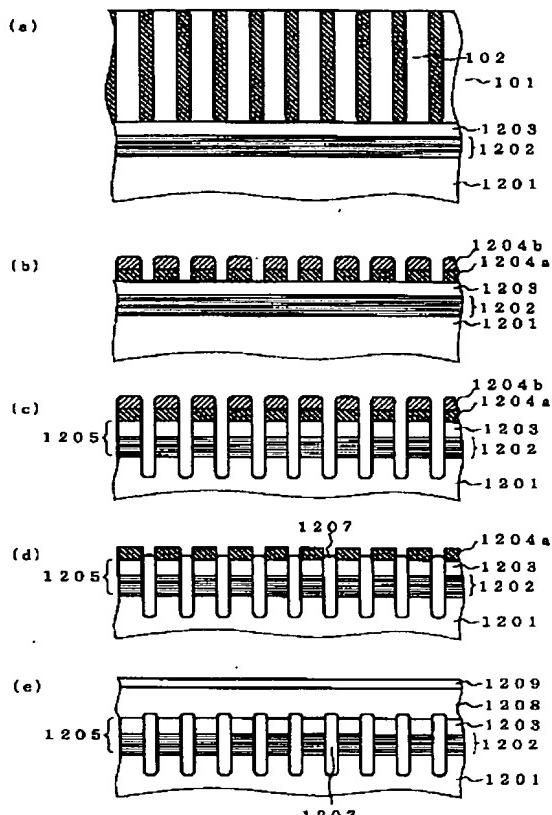
【図10】



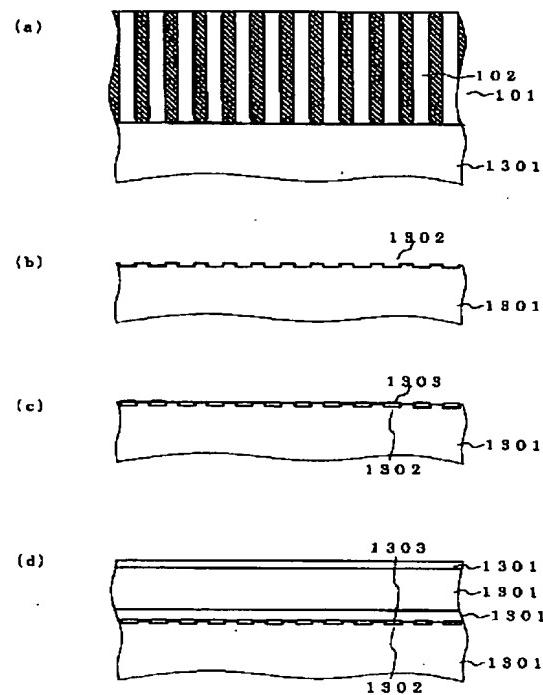
【図11】



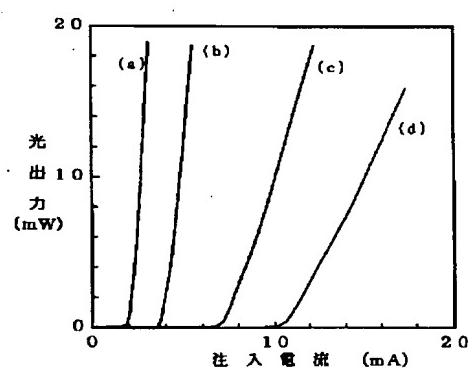
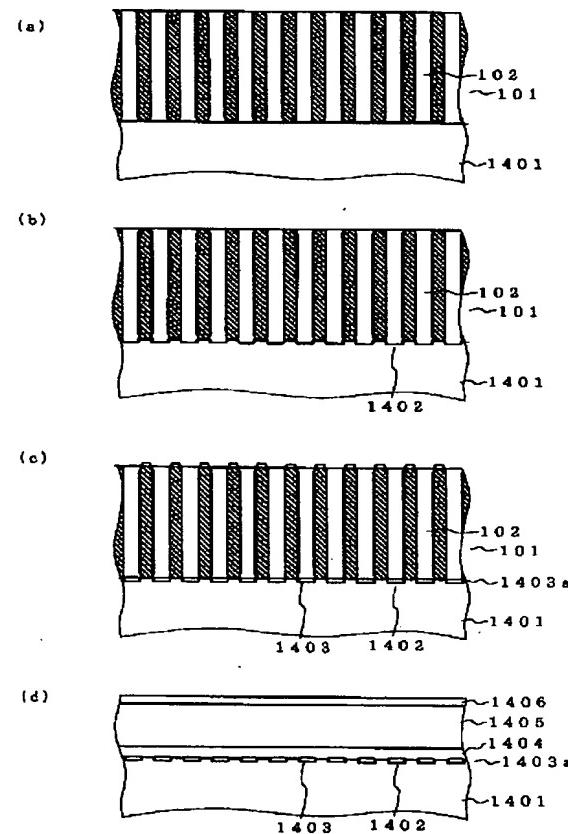
【図12】



【図13】



【図14】

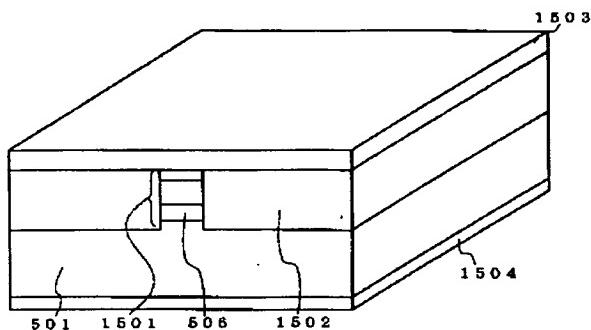


O I P E J C T
MAY 19 2005
PATENT & TRADEMARK OFFICE

(16)

特開平11-112099

【図15】



フロントページの続き

(72)発明者 天野 利昌
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 益田 秀樹
東京都八王子市別所2-13-2-510

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)